

DUPLICATE

Rec'd PCT/PTO 27 APR 2005

(12)特許協力条約に基づいて公開された国際出願

10/533141

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年5月13日 (13.05.2004)

PCT

(10) 国際公開番号
WO 2004/040754 A1

(51) 国際特許分類7:

H03F 3/45

(72) 発明者: および

(21) 国際出願番号:

PCT/JP2003/013942

(75) 発明者/出願人(米国についてのみ): 岡村 淳一 (OKA-MURA, Jun-ichi) [JP/JP]; 〒103-0023 東京都中央区日本橋本町三丁目3番6号 ザインエレクトロニクス株式会社内 Tokyo (JP).

(22) 国際出願日: 2003年10月30日 (30.10.2003)

(25) 国際出願の言語:

日本語

(74) 代理人: 片山 修平 (KATAYAMA, Shuhel); 〒104-0031 東京都中央区京橋1-6-1 三井住友海上テプロビル Tokyo (JP).

(26) 国際公開の言語:

日本語

(81) 指定国(国内): CN, KR, US.

(30) 優先権データ:
特願 2002-318807

2002年10月31日 (31.10.2002) JP

(84) 指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

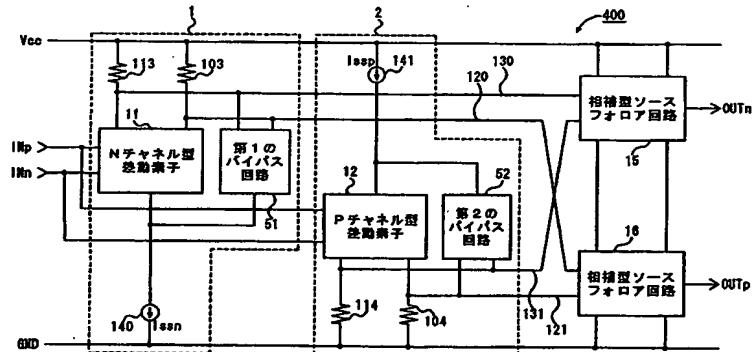
(71) 出願人(米国を除く全ての指定国について): ザインエレクトロニクス株式会社 (THINE ELECTRONICS, INC.) [JP/JP]; 〒103-0023 東京都中央区日本橋本町三丁目3番6号 Tokyo (JP).

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: DIFFERENTIAL CIRCUIT AND RECEIVER WITH SAME

(54) 発明の名称: 差動回路及びそれを備えた受信装置



11...N-CHANNEL DIFFERENTIAL ELEMENT

51...FIRST BY-PASS CIRCUIT

12...P-CHANNEL DIFFERENTIAL ELEMENT

52...SECOND BY-PASS CIRCUIT

15...COMPLEMENTARY SOURCE-FOLLOWER CIRCUIT

16...COMPLEMENTARY SOURCE-FOLLOWER CIRCUIT

(57) Abstract: Additionally provided are first and second current-supply circuits (51, 52) for introducing constant currents through load resistors (103, 113, 104, 114) if the common-mode voltage at the input stage exceeds the operating ranges of N-channel/P-channel differential amplifier circuits (1, 2). Such a circuit structure can be an equivalent circuit equivalent to structures where a constant current biased P-channel MOS transistor is connected as a load element to an N-channel of a complementary source-follower circuit (15) at the output stage.

[続葉有]

WO 2004/040754 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

入力段のコモンモード電圧がNチャネル型／P型チャネル型差動增幅回路1／2の動作範囲を越えてしまった場合に負荷抵抗103, 113, 104, 114に定電流を導入するための第1及び第2の電流供給回路51, 52を付加する。これにより、上記のような場合でも、出力段の相補型ソースフォロワ回路15のNチャネル型MOSトランジスタに定電流バイアスされたPチャネル型MOSトランジスタが負荷素子として接続される構成と同等の等価回路を実現することができる。

明細書

差動回路及びそれを備えた受信装置

5 技術分野

本発明は、小振幅で且つ電流モードである高速シリアルディジタル伝送信号のための差動回路及びそれを備えた受信装置に関し、特に終端コモンモード電圧範囲が電源電圧近くまで必要なレイル・ツー・レイルのコモンモードレンジを確保する必要がある入力段と、チップ内部で高速信号を扱うために必要な入力コモンモード電圧に依らずに一定のコモンモード電位を持った差動出力が得られるバッファ一段とを組み合わせた高速シリアルディジタル伝送信号の受信装置用の差動回路に関する。

15 背景技術

従来、シリアルディジタル伝送では、トランジスタ・アンド・トランジスタ・ロジック：TTL (2.0/0.8) やコンプリメンタリーメタル・オキサイド・セミコンダクタ：CMOS (3.3/0.0) 等のデジタル信号のインターフェース規格が用いられていた。しかしながら、これらは比較的大きな電圧振幅を使ったデジタル信号インターフェース規格であるため、信号伝送に伴う遅延が比較的大きいという問題が存在する。このため、近年要求されてきている高速なシリアルディジタル伝送を上記の規格で接続されたデバイス間で用いて実現することは困難である。

この問題を解決するために、近年、小振幅で且つ電流モードである差動伝送規格が提案されている。このような規格の例としてはLVDS (Low Voltage Differential Signaling) がある。

LVDS規格では差動の電流ドライブ信号を用いる点と終端インピーダンスとが規定されているだけである。従って、LVDS規格に準じた差動回路は、任意のコモンモード終端電圧で動作可能でなければならない。規格上、LVDS規格

に準じた信号（以下、これをLVDS信号という）の送信回路（以下、これをLVDSトランスミッタという）には、 100Ω の終端インピーダンスを接続した場合に終端電圧として 350mV の振幅が得られるような電流ドライブが用いられる。一方、LVDS信号の受信回路（以下、これをLVDSレシーバという）

5 では、 $0\sim2.4\text{V}$ のコモンモード終端電圧に対して上記した 350mV 程度の終端電圧差を受信可能でなければならぬ。つまり、LVDSレシーバの入力段の増幅回路は、例えば 2.5V の電源電圧 V_{cc} を仮定すると、略電源電圧と同じコモンモード入力の信号を扱うことになる。このように略電源電圧と同じコモ

10 ンモード入力の信号を扱う動作をレイル・ツー・レイル（rail-to-rail）動作と称す。

従来、CMOSテクノロジーを用いたレイル・ツー・レイルの差動増幅段の構成としては、Nチャネル素子の差動増幅段とPチャネル素子の差動増幅段とを並列に組み合わせることで双方のコモンモード動作範囲の限界が補間されるようなトポロジーが考えられている。

15 このような中、入力段に位置する増幅回路の出力は後段に設けられた増幅回路にとって望ましい信号品質である必要が存在する。即ち、チップ内部で高速信号を扱うためには、入力段の増幅回路の差動出力がLVDS信号の入力コモンモード電圧に依存せずに一定のコモンモード電位を持っていることが望ましい。更にチップ内部負荷をドライブするには適当なバッファ段を組み合わせる必要も存在

20 する。

例えば米国特許第6320422号公報には、バッファ段の出力電圧をフィードバックして差動増幅段の差動出力を制御することで、これを安定化するための技術が開示されている。以下、これを従来技術1とし、図1を用いて説明する。

図1を参照すると従来技術1は、Nチャネル型差動増幅回路801とPチャネル型差動増幅回路813とを含む差動増幅段と、この差動増幅段の出力（806及び818）を入力する相補型ソースフォロア回路826と、同じく差動増幅段の出力（808及び820）を入力する相補型ソースフォロア回路828とをして構成される。尚、上記した2つの相補型ソースフォロア回路826, 828は内部負荷をドライブするバッファ段である。

上記のNチャネル型差動増幅回路801は一対のNチャネル型MOSトランジスタ（尚、電界効果トランジスタであることが好ましい。以下、これを単にトランジスタという）で構成されたNチャネル型差動素子802と、このNチャネル型差動素子802の負荷であるアクティプロード812及び810と、Nチャネル型差動素子802に接続された定電流源804とを有して構成される。また同様に、Pチャネル型差動増幅回路813も、一対のPチャネル型MOSトランジスタで構成されたPチャネル型差動素子814と、このPチャネル型差動素子814の負荷であるアクティプロード822及び824と、Pチャネル型差動素子814に接続された定電流源816とを有して構成される。

10 このような構成において、相補型ソースフォロア回路826の出力ノード830は、Nチャネル型MOSトランジスタで構成されたアクティプロード810及び822へそれぞれ接続される。即ち、アクティプロード810及び822の両端の電圧は、相補型ソースフォロア回路826の出力電圧に基づいてフィードバック制御される。また同様に、相補型ソースフォロア回路828の出力ノード832は、Nチャネル型MOSトランジスタで構成されたアクティプロード812及び824へそれぞれ接続される。即ち、アクティプロード812及び824の両端の電圧は、相補型ソースフォロア回路828の出力電圧に基づいてフィードバック制御される。これにより、Pチャネル型/Nチャネル型MOSトランジスタで構成されたアクティプロード810, 812, 822, 824の動作点が3極管領域から5極管領域に移動することを防ぎ、常に3極管領域で動作するよう構成されるため、差動出力の非線型動作を防ぐ、即ち差動出力の安定化を図ることが可能となる。

しかしながら、従来技術1で開示されたような構成では、入力コモンモード電圧により2つの差動増幅回路が異なる動作モードとなった場合、出力段に設けられた2つの相補型ソースフォロア回路の出力電圧のコモンモード電位を一定に保つことが不可能である。更に、従来技術1のように出力電圧をフィードバックする構成を有した場合、出力電圧を高速にスイッチングすることで発振が生じてしまう可能性が存在する。

本発明は、このような問題に鑑みてなされたものであり、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段を有する差動回路及びそれを備えた受信装置を提供することを目的とする。

5

発明の開示

かかる目的を達成するために、本発明は信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路において、前記差動素子が非導通状態にあるとき、前記差動素子に直列に接続された前記負荷に所定の電流を供給する電流供給回路を有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段であるソースフォロア回路を有する差動回路が実現される。

また、本発明の別の側面によれば、信号の入力段に設けられた第1の差動素子と該第1の差動素子に接続された第1の定電流源と、第1の差動素子に接続された第1及び第2の負荷とを有して構成された第1の差動増幅回路と、前記信号の入力段に設けられた第2の差動素子と該第2の差動素子に接続された第2の定電流源と前記第2の差動素子に接続された第3及び第4の負荷とを有して構成された第2の差動増幅回路と、前記第1又は第3の負荷における電圧降下に基づいて第1の差動電圧を出力する第1のソースフォロア回路と、前記第2又は第4の負荷における電圧降下に基づいて第2の差動電圧を出力する第2のソースフォロア回路とを有する差動回路において、前記第1の差動素子が非導通状態にあるときに、前記第1及び第2の負荷に所定の電流を供給する第1の電流供給回路と、前記第2の差動素子が非導通状態にあるときに、前記第3及び第4の負荷に所定の電流を供給する第2の電流供給回路とを有する差動回路とを有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当

なバッファ段である第1及び第2のソースフォロア回路を有する差動回路が実現される。

また、本発明の別の側面によれば、信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路を備えた受信装置において、前記差動素子が非導通状態にあるとき、前記差動素子に直列に接続された前記負荷に所定の電流を供給する電流供給回路を有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段であるソースフォロア回路を有する差動回路を備えた受信装置が実現される。

また、本発明の別の側面によれば、信号の入力段に設けられた第1の差動素子と該第1の差動素子に接続された第1の定電流源と、第1の差動素子に接続された第1及び第2の負荷とを有して構成された第1の差動増幅回路と、前記信号の入力段に設けられた第2の差動素子と該第2の差動素子に接続された第2の定電流源と前記第2の差動素子に接続された第3及び第4の負荷とを有して構成された第2の差動増幅回路と、前記第1又は第3の負荷における電圧降下に基づいて第1の差動電圧を出力する第1のソースフォロア回路と、前記第2又は第4の負荷における電圧降下に基づいて第2の差動電圧を出力する第2のソースフォロア回路とを有する差動回路を備えた受信装置において、

前記差動回路が、前記第1の差動素子が非導通状態にあるときに、前記第1及び第2の負荷に所定の電流を供給する第1の電流供給回路と、

前記第2の差動素子が非導通状態にあるときに、前記第3及び第4の負荷に所定の電流を供給する第2の電流供給回路とを有するように構成される。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段である第1及び第2のソースフォロア回路を有する差動回路を備えた受信装置が実現される。

図面の簡単な説明

図1は、従来技術1による差動回路800の構成を示すブロック図、
図2は、本発明の説明において用いられた差動回路100の構成を示す回路図、
図3は、図2に示す差動回路100の動作を説明するための図、
5 図4は、本発明の説明において用いられた差動回路200の構成を示す回路図、
図5は、図4に示す差動回路200の動作を説明するための図、
図6は、図4に示す差動回路200に対して行ったシミュレーション結果を示すグラフ、
図7は、本発明による差動回路300の構成を示す回路図、
10 図8は、図7に示す差動回路300のトポロジーを用いて設計した差動回路400の構成を示すブロック図、
図9は、図8に示す差動回路400の回路構成を示す図、
図10は、図8に示す差動回路400に対して行ったシミュレーション結果を示すグラフ、
15 図11は、図8に示す差動回路400において第1及び第2の電球供給回路51、52に印加するバイアス電位 V_{Bp} 、 V_{Bn} を電源電圧 V_{cc} の $1/2$ とした場合のシミュレーション結果を示すグラフ、
図12は、本発明による差動回路400を備えた受信装置1000の構成を示すブロック図である。
20

発明を実施するための最良の形態

〔原理〕

本発明を好適に実施した形態について説明するにあたり、本発明の原理について先に述べる。

25 本発明は、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段を有する差動回路及びこれを備えた受信装置である。

このような目的を実現するために、本発明は、高速シリアルディジタル伝送信号の差動回路において、Nチャネル型素子で構成された差動増幅段とPチャネル

型素子で構成された差動増幅段とを並列に組み合わせることで双方のコモンモード動作範囲の限界を補完するトポロジーに、出力段の構成に相補型のソースフォロア回路を組み合わせたトポロジーを追加する。このようなトポロジーに基づいて回路を構成することで、略レイル・ツー・レイルのコモンモードレンジを確保することが可能となり、且つ高速なバッファリングが可能となる。

しかしながら、単に上記した2つのトポロジーを組み合わせて設計した場合、差動増幅段から得られる差動出力のコモンモード電位が入力段のコモンモード電圧に依存して変動するという問題が存在する。このような問題を解決するために、本発明による高速シリアルディジタル伝送信号の差動回路では、ある一定のバイアス電位を出力段のソースフォロア回路のノードに入力するように構成する。これは、例えばNチャネル型素子で構成された差動増幅段とPチャネル型素子で構成された差動増幅段とのそれぞれの共通コモンノードに接続される電流源から相補型のソースフォロア回路の入力ノードまでの間に相補型のバイパス回路を設けることで実現される。このバイパス回路は、差動増幅段が非動作状態にあるときに、負荷に所定の電流を供給する電流供給回路として機能する。これにより、入力段のコモンモード電圧に無関係に、出力段の相補型のソースフォロア回路の動作点を一定に保つことが可能になるため、結果として一定のコモンモード電位を持った差動出力が得られるバッファ段を組み上げることが可能となる。

以下に、上記を図面を用いて詳細に説明する。図2は、Nチャネル型素子で構成された差動増幅段とPチャネル型素子で構成された差動増幅段とを並列に組み合わせることで双方のコモンモード動作範囲の限界を補間するトポロジーに、出力段の構成にソースフォロア回路を組み合わせるトポロジーを追加して設計した差動回路100の構成を示す回路図である。

図2に示すように、差動回路100は、Nチャネル型差動増幅回路1（Nチャネル型素子による差動増幅段）と、Pチャネル型差動増幅回路2（Pチャネル型素子による差動増幅段）と、2つのソースフォロア回路5、6とを有して構成されている。

この構成において、Nチャネル型差動増幅回路1は2つのNチャネル型MOSトランジスタ（好ましくは電界効果トランジスタ：以下、これを単にトランジス

タという) 101及び111よりなるNチャネル型差動素子11と、それぞれのNチャネル型MOSトランジスタ101及び111のドレインノードに接続された抵抗負荷103及び113と、2つのNチャネル型MOSトランジスタ101及び111のソースノードに共通に接続された定電流源140とを有して構成されている。同様に、Pチャネル型差動増幅回路2は2つのPチャネル型MOSトランジスタ102及び112よりなるPチャネル型差動素子12と、それぞれのPチャネル型MOSトランジスタ102及び112のドレインノードに接続された抵抗負荷104及び114と、2つのPチャネル型MOSトランジスタ102及び112のソースノードに共通に接続された定電流源141とを有して構成されている。

また、ソースフォロア回路5は差動信号の下電圧を出力する出力段であり、Nチャネル型MOSトランジスタ101のドレインノードにゲートノードが接続されたNチャネル型MOSトランジスタ105と、これの負荷である定電流源151と、Pチャネル型MOSトランジスタ102のドレインノードにゲートノードが接続されたPチャネル型MOSトランジスタ106と、これの負荷である定電流源161とを有して構成されている。従って、ソースフォロア回路5におけるNチャネル型MOSトランジスタ105は、Nチャネル型MOSトランジスタ101の負荷として接続された抵抗負荷103における電圧降下に基づいて差動電圧を出力する。また、ソースフォロア回路5におけるPチャネル型MOSトランジスタ106は、Pチャネル型MOSトランジスタ102の負荷として接続された抵抗負荷104における電圧降下に基づいて差動電圧を出力する。

同様に、ソースフォロア回路6は差動信号の上電圧を出力する出力段であり、Nチャネル型MOSトランジスタ111のドレインノードにゲートノードが接続されたNチャネル型MOSトランジスタ115と、これの負荷である定電流源152と、Pチャネル型MOSトランジスタ112のドレインノードにゲートノードが接続されたPチャネル型MOSトランジスタ116と、これの負荷である定電流源162とを有して構成されている。従って、ソースフォロア回路6におけるNチャネル型MOSトランジスタ115は、Nチャネル型MOSトランジスタ111の負荷として接続された抵抗負荷113における電圧降下に基づいて差動

電圧を出力する。また、ソースフォロア回路6におけるPチャネル型MOSトランジスタ116は、Pチャネル型MOSトランジスタ112の負荷として接続された抵抗負荷114における電圧降下に基づいて差動電圧を出力する。

5 以上のような構成に関し、図3を用いて、Nチャネル型差動増幅回路1とPチャネル型差動増幅回路2との双方のコモンモード動作範囲の限界を詳細に説明する。

図3において、符号201はNチャネル型差動増幅回路1のための定電流源140の動作下限を決定する電圧(V_{dsat})を示し、符号202は2つのNチャネル型MOSトランジスタ101及び111で構成されたNチャネル型差動素子110が動作するためのしきい値電圧(V_{gs})を示している。従って、電圧 V_{dsat} (符号201)としきい値電圧 V_{gs} (符号202)とを電源電圧 V_{cc} から差し引いた残りの電圧 V_{cm} (符号203)がNチャネル型差動増幅回路1のコモンモード動作範囲となる。同様に、符号211はPチャネル型差動増幅回路2のための定電流源141の動作下限を決定する電圧(V_{dsat})を示し、符号212は2つのPチャネル型MOSトランジスタ102及び112で構成されたPチャネル型差動素子115が動作するためのしきい値電圧(V_{gs})を示している。従って、電圧 V_{dsat} (符号211)としきい値電圧 V_{gs} (符号212)とを電源電圧 V_{cc} から差し引いた残りの電圧 V_{cm} (符号213)がPチャネル型差動増幅回路2のコモンモード動作範囲となる。

20 これら図2及び図3から明らかに、それぞれの差動増幅回路(1, 2)を並列に組み合わせることで、レイル・ツー・レイルのコモンモードレンジを確保することが可能である。

次に、図2に示したような、Nチャネル型素子の差動増幅段とPチャネル型素子の差動増幅段とを並列に組み合わせたトポロジーを改良し、出力段の構成を相補型ソースフォロア回路として設計した差動回路200の構成について図4を用いて詳細に説明する。

図4に示すように、差動回路200は、Nチャネル型差動増幅回路1と、Pチャネル型差動増幅回路2と、2つの相補型ソースフォロア回路15, 16とを有して構成されている。

この構成において、Nチャネル型差動增幅回路1及びPチャネル型差動增幅回路2は、図2に示す構成と同様である。

また、相補型ソースフォロア回路15は差動信号の下電圧を出力する出力段であり、Nチャネル型MOSトランジスタ101のドレインノードにゲートノードが接続されたNチャネル型MOSトランジスタ105と、Pチャネル型MOSトランジスタ102のドレインノードにゲートノードが接続されたPチャネル型MOSトランジスタ106とを有して構成されている。従って、相補型ソースフォロア回路15におけるNチャネル型MOSトランジスタ105は、Nチャネル型MOSトランジスタ101の負荷として接続された抵抗負荷103における電圧降下に基づいて差動電圧を出力する。また、ソースフォロア回路15におけるPチャネル型MOSトランジスタ106は、Pチャネル型MOSトランジスタ102の負荷として接続された抵抗負荷104における電圧降下に基づいて差動電圧を出力する。

同様に、相補型ソースフォロア回路16は差動信号の上電圧を出力する出力段であり、Nチャネル型MOSトランジスタ111のドレインノードにゲートノードが接続されたNチャネル型MOSトランジスタ115と、Pチャネル型MOSトランジスタ112のドレインノードにゲートノードが接続されたPチャネル型MOSトランジスタ116とを有して構成されている。このような構成において、相補型ソースフォロア回路(15, 16)における一方のMOSトランジスタは他方のMOSトランジスタの負荷としても動作する。従って、ソースフォロア回路16におけるNチャネル型MOSトランジスタ115は、Nチャネル型MOSトランジスタ111の負荷として接続された抵抗負荷113における電圧降下に基づいて差動電圧を出力する。また、ソースフォロア回路16におけるPチャネル型MOSトランジスタ116は、Pチャネル型MOSトランジスタ112の負荷として接続された抵抗負荷114における電圧降下に基づいて差動電圧を出力する。

以上のような構成を有する差動回路200の動作について、図5を用いて詳細に説明する。但し、図5では説明の簡略化のために、図4におけるNチャネル型MOSトランジスタ111及び115、Pチャネル型MOSトランジスタ112

及び116, 抵抗負荷113及び114, 並びにこれらを接続する配線、即ち、差動信号における上電圧を出力するための構成（相補型ソースフォロア回路16側）を省略する。

図5において、(a)は入力段のコモンモード電圧によりNチャネル型素子の差動増幅段とPチャネル型素子の差動増幅段とのどちらも動作している状態を説明するための図である。即ち、図5(a)に示す状態では、Nチャネル型差動素子11におけるNチャネル型MOSトランジスタ101とPチャネル型差動素子12におけるPチャネル型MOSトランジスタ102とが導通状態（on）となっている。従って、図5(a)において、相補型ソースフォロア回路15に含まれるNチャネル型MOSトランジスタ105及びPチャネル型MOSトランジスタ106のそれぞれのゲートノードに接続されたノード120, 121には、Nチャネル型MOSトランジスタ101とPチャネル型MOSトランジスタ102とから出力された電圧がそれぞれ相補的に変調されて入力されている。これにより、出力である差動電圧OUT_pは一定の電圧に保たれている。

一方、図5(b)は、入力段のコモンモード電圧が上昇したために、Pチャネル型素子の差動増幅段、即ちPチャネル型差動増幅回路2の動作範囲を越えてしまい、Nチャネル型素子の差動増幅段であるNチャネル型差動増幅回路1のみが動作している状態を説明するための図である。即ち、図5(b)に示す状態では、Nチャネル型差動素子11におけるNチャネル型MOSトランジスタ101が導通状態（on）となっており、Pチャネル型差動素子12におけるPチャネル型MOSトランジスタ102が非導通状態（off）となっている。このように、図5(b)において、相補型ソースフォロア回路15に含まれるNチャネル型MOSトランジスタ105及びPチャネル型MOSトランジスタ106のそれぞれのゲートノードに接続されたノード120, 121のうちノード121がPチャネル型MOSトランジスタ102を完全にoffしてしまうために、Pチャネル型差動素子12の抵抗負荷104に電流が流れず、結果として相補型ソースフォロア回路15におけるPチャネル型MOSトランジスタ106のゲートノードが接地電位に定バイアスされてしまう。これにより、図5(b)に示す状態ではPチャネル型MOSトランジスタ106が単に負荷として動作してしまい、差動回

路 200 の等価回路的な動作が、Pチャネル型MOSトランジスタ 106 による負荷が接続された構成と同じ等価回路となってしまう。

同様に、入力段のコモンモード電圧が下降した場合には、Nチャネル型素子の差動増幅段の動作範囲を越えてしまい、Pチャネル型素子の差動増幅段のみが動作する。即ち、図5において、Pチャネル型差動素子 12 におけるPチャネル型MOSトランジスタ 102 が導通状態 (on) となり、Nチャネル型差動素子 11 におけるNチャネル型MOSトランジスタ 101 が非導通状態 (off) となる。従って、相補型ソースフォロア回路 15 に含まれるNチャネル型MOSトランジスタ 105 及びPチャネル型MOSトランジスタ 106 のそれぞれのゲートノードに接続されたノード 120, 121 のうちノード 120 がNチャネル型MOSトランジスタ 101 を完全に off してしまうためにNチャネル型差動素子 11 の抵抗負荷 103 に電流が流れず、結果として相補型ソースフォロア回路 15 におけるNチャネル型MOSトランジスタ 105 のゲートノードが接地電位に定バイアスされてしまう。これにより、Nチャネル型MOSトランジスタ 105 が単に負荷として動作してしまい、Pチャネル型MOSトランジスタ 106 が相補型でなく、単なるソースフォロア回路として動作し、これにNチャネル型MOSトランジスタ 105 による負荷が接続された構成と同じ等価回路となってしまう。

図6に差動回路 200 に対して行ったシミュレーションの結果を示す。尚、このシミュレーションではコモンモードレベルを 0 ~ 2.5 V までスイープさせる。図6に示すグラフを参照すると明らかなように、差動回路 300 は、出力段である相補型ソースフォロア回路の出力電圧のコモンモード電位にうねり (揺らぎ) があることが分かる。これは、上述したように、出力段に設けられた相補型ソースフォロア回路 15, 16 を各々構成する 2 つのMOSトランジスタの内、一方が接地バイアスされることで、双方が異なった動作モードを取るためである。更に、図6からは、コモンモードレベル電圧が 0 V 若しくは 2.5 V 近傍となった際に、差動出力の振幅 (以下、ゲインという) が小さくなっていることも読み取れる。

このように入力段のコモンモードに依存して出力段の相補型ソースフォロア回路が異なる動作モードを取るため、図4に示す差動回路200の構成では、出力段である相補型ソースフォロア回路の出力電圧のコモンモード電位を一定に保つことは難しい。更に、コモンモードレベル電圧が0V若しくは2.5V近傍とな
5 った際にゲインが小さくなるという問題も存在する。

そこで、本発明者らは、差動回路200のトポロジーを改良することで、出力段の相補型ソースフォロア回路15, 16が入力段のコモンモードと異なる動作モードを取ることを防止するように構成された等価回路を見いだした。図7は、このようないトポロジーに基づいて設計した差動回路300の構成を示す回路図で
10 ある。但し、図7を用いた説明では説明の簡略化のため、差動信号における上電圧を出力するための構成（相補型ソースフォロア回路16側）を省略し、且つ入力段のコモンモード電圧が上昇した場合にのみ着目して説明する。

上述したような、入力段のコモンモード電圧が上昇した場合に生じる出力電圧のコモンモード電位の揺らぎは、Pチャネル型MOSトランジスタ102が完全
15 にOFFすることで抵抗負荷104に電流が流れず、結果的に相補型ソースフォロア回路15を構成するPチャネル型MOSトランジスタ106が接地バイアスされてしまうことが原因である。

そこで本発明では、入力段のコモンモード電圧がPチャネル型素子の差動増幅段の動作範囲を越えてしまった場合にPチャネル型素子の差動増幅段の負荷抵抗
20 104に定電流を導入するためのバイパス回路を付加する。このバイパス回路は電流供給回路として機能し、上述したような、所定のバイアス電位を相補型ソースフォロア回路15, 16のノードに入力するためのバイアス入力回路として機能する。これにより、上記のような場合でも、出力段の相補型ソースフォロア回路15のNチャネル型MOSトランジスタ105に、定電流バイアスされたPチャ
25 ネル型MOSトランジスタ106が負荷素子として接続される構成と同じ等価回路を実現することができる。但し、同様に、入力段のコモンモード電圧がNチャネル型素子の差動増幅段の動作範囲を越えてしまった場合には、Nチャネル型素子の差動増幅段の負荷抵抗103に定電流を導入するためのバイパス回路を負荷するような構成を設ける。このバイパス回路は電流供給回路として機能する。

これにより、上記のような場合でも、出力段の相補型ソースフォロア回路15のPチャネル型MOSトランジスタ106に、定電流バイアスされたNチャネル型MOSトランジスタ105が負荷素子として接続される構成と同じ等価回路を実現することができる。

5 このような電流供給回路は、Pチャネル型素子で構成された差動増幅段のコモンノードに接続された定電流源141から、同差動増幅段の負荷（抵抗負荷104及びPチャネル型MOSトランジスタ106）に接続されたノードに電流をバイパスするための構成である。このため、図7に示すようなバイアス電位VBpでバイアスされたPチャネル型MOSトランジスタ502をそれぞれのノード間に接続することでバイパス回路（電流供給回路）を構成することが可能である。

10

【実施例】

次に、図7で用いた等価回路に基づいて設計した差動回路400の具体的な実施例について、図面を用いて詳細に説明する。より詳細には、Nチャネル型素子の差動増幅段とPチャネル型素子の差動増幅段とを並列に組み合わせて双方のコモンモード動作範囲の限界を補間するようなトポロジーに、出力段の構成として相補型ソースフォロア回路を組み合わせるトポロジーと、更に出力段のコモンモード電位を一定に保つために差動増幅段のコモンモードと相補型ソースフォロア回路のゲートノード入力との間にバイパス回路を設けるトポロジーとを追加して差動回路400を設計する。このバイパス回路が、差動増幅段が非動作状態にあるときには、負荷に所定の電流を供給する電流供給回路として機能する。

15

図8は、差動回路400の構成を示すブロック図である。図8に示すように、差動回路400は、Nチャネル型差動増幅回路1とPチャネル型差動増幅回路2と、2つの相補型ソースフォロア回路15、16と、Nチャネル型差動素子11を流れる電流をバイパスするための第1のバイパス回路51と、Pチャネル型差動素子12を流れる電流をバイパスするための第2のバイパス回路52とを有して構成されている。第1のバイパス回路51及び第2のバイパス回路52はそれぞれ、対応する差動増幅器が非導通状態にあるときに、対応する負荷に所定の電流を供給する電流供給回路として機能する。

20

25

また、図8に示す差動回路400の詳細な回路構成を図9に示す。図9を参照すると明らかのように、Nチャネル型差動増幅回路1は、一対のNチャネル型素子で構成されたNチャネル型差動素子11と、Nチャネル型差動素子11の抵抗負荷103, 113と、Nチャネル型差動素子11の定電流源140とで構成されるNチャネル型差動増幅回路1とを有して構成されている。Pチャネル型差動増幅回路2は、一対のPチャネル型素子で構成されたPチャネル型差動素子12と、Pチャネル型差動素子12の抵抗負荷104, 114と、Pチャネル型差動素子12の定電流源141とを有して構成されている。また、Nチャネル型MOSトランジスタ105及びPチャネル型MOSトランジスタ106で構成される相補型ソースフォロア回路15には、2つの差動増幅段の出力ノードの内、ノード130とノード131とが入力される。更に、Nチャネル型MOSトランジスタ115及びPチャネル型MOSトランジスタ116で構成される相補型ソースフォロア回路16には、2つの差動増幅段の出力ノードの内、ノード120とノード121とが入力される。

また、第1のバイパス回路51は、ゲートノードにバイアス電位VBnが印加される2つのNチャネル型MOSトランジスタ501, 511より構成されており、各々Nチャネル型MOSトランジスタ101, 111をバイパスして定電流源140とノード130, 120とを接続する。同様に、第2のバイパス回路52は、ゲートノードにバイアス電位VBpが印加されるPチャネル型MOSトランジスタ502, 512より構成されており、各々Pチャネル型MOSトランジスタ102, 112をバイパスして定電流源141とノード131, 121とを接続する。このように、第1及び第2のバイパス回路51, 52を構成するNチャネル型/Pチャネル型MOSトランジスタ(501, 511, 502, 512)を各々定電圧によりバイアスすることで、上述したように、相補型ソースフォロア回路15, 16を構成するそれぞれのNチャネル型/Pチャネル型MOSトランジスタ105, 115, 106, 116が接地バイアスされることを防止できる。尚、他の構成は図4と同様であるため、ここでは説明を省略する。

このように構成した差動回路400に対して行ったシミュレーションの結果を図10に示す。尚、このシミュレーションでも、図6に示すシミュレーション結

果と比較するために、コモンモードレベルを0~2.5Vまでスイープさせ、また、 $VB_p = 1.5V$, $VB_n = 1.0V$ としている。図10を参照すると明らかのように、差動回路400は、出力段である相補型ソースフォロア回路の出力電圧のコモンモード電位のうねり（揺らぎ）が解消され、一定になったことが分かる。

以上のトポロジーを用いて設計することで、出力のコモンモード電位の問題は解決されるが、一方、ゲインが変動する問題は解決されていない。このことは、図10に示すシミュレーション結果からも読み取れる。そこで、本発明者らは、第1及び第2のバイパス回路51, 52のゲートノードに印加するバイアス電位を調整することで、テイル電流がバイパスされ、ゲインの問題が解決されることを見いだした。

つまり、Nチャネル型差動増幅回路1及びPチャネル型差動増幅回路2の両方が動作している状態でテイル電流がバイパスされるように、バイアス電位 VB_p , VB_n の値を決定することで、ゲインの問題が解決される。

このバイアス電位 VB_p 及び VB_n の値は、Nチャネル型差動増幅回路1の入力信号 IN_p 及びPチャネル型差動増幅回路2の入力信号 IN_n とは独立の値であり、任意の一定電圧である。

簡単な検証として、図11(a)に、 $VB_p = VB_n = V_{cc}/2$ として、バイアスをそれぞれ0.5Vだけ深くした場合のシミュレーション結果を示す。尚、比較のために図11(b)に図10に示すシミュレーション結果の拡大図を示す。図11(a), (b)を参照すると明らかのように、上記のようにバイアス電位 VB_p , VB_n を調整することでゲインが安定化されたことが分かる。

尚、従来技術1として図1を用いて説明した差動回路は、Pチャネル型/Nチャネル型MOSトランジスタで構成されたアクティブロード810, 812, 822, 824の動作点が3極管領域から5極管領域に移動することを防ぎ、常に3極管領域で動作するように構成することで、差動出力の非線型動作を防ぎ、安定化を図ることを目的としたものである。従って、本実施形態の目的である入力段のコモンモードに依存して出力段の相補型ソースフォロア回路が異なる動作モードを取ることで生じる出力段の相補型ソースフォロア回路の出力電圧のコモン

モード電位を一定に保つことに関しては、従来技術1により解決されるものではない。加えて、本実施形態の限定的な特徴である前記Nチャネル型差動素子用の定電流源と差動増幅段の出力ノードとの間と、前記Pチャネル差動素子用の定電流源と差動増幅段の出力ノードとの間に、それぞれ第1及び第2のバイパス回路

5 (電流供給回路) を設けることに関しては、従来技術1において何ら開示されておらず、従って、従来技術1から当業者が容易に相当し得るものではない。

また、上記のように構成される等価回路に基づいて設計した差動回路400は、例えば図12に示すような受信装置1000、特にLVDS (Low Voltage Differential Signaling) レシーバ1000における差動回路として組み込まれる。この構成において、差動回路400はLVDS入力インターフェース1001, 1002におけるLVDS信号の入力段に設けられている。尚、この際、LVDS信号の終端抵抗は100Ωとする。また、上記の構成において、差動回路400単一のチップ上に高集積に形成されている。これにより、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段を有する差動回路を備える受信装置が実現される。

〔他の実施形態〕

尚、以上で説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

20 以上説明したように、フィードバック構成を有することなく、一定のコモンモード電位を持った差動出力を出力でき、且つチップ内部負荷をドライブするのに適当なバッファ段を有する差動回路及びそれを備えた受信装置が実現される。

即ち、シリアルディジタル伝送信号の差動回路において、特にシリアル伝送データの受信に用いられるレイル・ツー・レイルの差動回路装置を構成する際に問題となる入力コモンモード電圧による出力コモンモード電位の変調をなくすことが可能となるので、一定のコモンモード電位を持った差動出力を持ち且つチップ内部負荷をドライブするに適当なバッファ段を組み合せたレイル・ツー・レイルの差動回路を実現できる。更に、これを備えた受信装置も実現される。

請 求 の 範 囲

1. 信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動增幅回路と、前記負荷に5 おける電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路において、

前記差動素子が非導通状態にあるとき、前記差動素子に直列に接続された前記負荷に所定の電流を供給する電流供給回路を有することを特徴とする差動回路。
- 10 2. 信号の入力段に設けられた第1の差動素子と該第1の差動素子に接続された第1の定電流源と、第1の差動素子に接続された第1及び第2の負荷とを有して構成された第1の差動增幅回路と、前記信号の入力段に設けられた第2の差動素子と該第2の差動素子に接続された第2の定電流源と前記第2の差動素子に接続された第3及び第4の負荷とを有して構成された第2の差動增幅回路と、前記第15 1又は第3の負荷における電圧降下に基づいて第1の差動電圧を出力する第1のソースフォロア回路と、前記第2又は第4の負荷における電圧降下に基づいて第2の差動電圧を出力する第2のソースフォロア回路とを有する差動回路において、

前記第1の差動素子が非導通状態にあるときに、前記第1及び第2の負荷に所定の電流を供給する第1の電流供給回路と、
- 20 前記第2の差動素子が非導通状態にあるときに、前記第3及び第4の負荷に所定の電流を供給する第2の電流供給回路とを有することを特徴とする差動回路。
- 25 3. 前記第1及び第2のソースフォロア回路は2つのMOSトランジスタを有して構成された相補型であることを特徴とする請求項2記載の差動回路。
4. 前記第1の差動素子は2つのNチャネル型MOSトランジスタを含み、

前記第1の電流供給回路は2つのNチャネル型MOSトランジスタのゲート電極を接続して構成され、

前記第2の差動素子は2つのPチャネル型MOSトランジスタを含み、

前記第2の電流供給回路は2つのPチャネル型MOSトランジスタのゲートを接続して構成されていることを特徴とする請求項5又は6に記載の差動回路。

5. 前記第1の電流供給回路における2つのNチャネル型MOSトランジスタ及び前記第2の電流供給回路における2つのPチャネル型MOSトランジスタのゲートノードには、等しいバイアス電位が印加されることを特徴とする請求項4記載の差動回路。

10 6. 信号の入力段に設けられた差動素子と該差動素子に接続された定電流源と前記差動素子に接続された負荷とを有して構成された差動増幅回路と、前記負荷における電圧降下に基づいて差動電圧を出力するソースフォロア回路とを有する差動回路を備えた受信装置において、

前記差動素子が非導通状態にあるとき、前記差動素子に直列に接続された前記負荷に所定の電流を供給する電流供給回路を有することを特徴とする受信装置。

15

7. 信号の入力段に設けられた第1の差動素子と該第1の差動素子に接続された第1の定電流源と、第1の差動素子に接続された第1及び第2の負荷とを有して構成された第1の差動増幅回路と、前記信号の入力段に設けられた第2の差動素子と該第2の差動素子に接続された第2の定電流源と前記第2の差動素子に接続された第3及び第4の負荷とを有して構成された第2の差動増幅回路と、前記第1又は第3の負荷における電圧降下に基づいて第1の差動電圧を出力する第1のソースフォロア回路と、前記第2又は第4の負荷における電圧降下に基づいて第2の差動電圧を出力する第2のソースフォロア回路とを有する差動回路を備えた受信装置において、

25 前記差動回路が、前記第1の差動素子が非導通状態にあるときに、前記第1及び第2の負荷に所定の電流を供給する第1の電流供給回路と、

前記第2の差動素子が非導通状態にあるときに、前記第3及び第4の負荷に所定の電流を供給する第2の電流供給回路とを有することを特徴とする受信装置。

8. 前記第1及び第2のソースフォロア回路は2つのMOSトランジスタを有して構成された相補型であることを特徴とする請求項7記載の受信装置。

9. 前記第1の差動素子は2つのNチャネル型MOSトランジスタを含み、

5 前記第1の電流供給回路は2つのNチャネル型MOSトランジスタのゲート電極を接続して構成され、

前記第2の差動素子は2つのPチャネル型MOSトランジスタを含み、

前記第2の電流供給回路は2つのPチャネル型MOSトランジスタのゲートを接続して構成されていることを特徴とする請求項7又は8記載の受信装置。

10

10. 前記第1の電流供給回路における前記2つのNチャネル型MOSトランジスタ、及び前記第2の電流供給回路における前記2つのPチャネル型MOSトランジスタのゲートノードには、等しいバイアス電位が印加されることを特徴とする請求項9記載の受信装置。

15

JC20 Rec'd PCT/PTO 27 APR 2005

1/12

Fig. 1

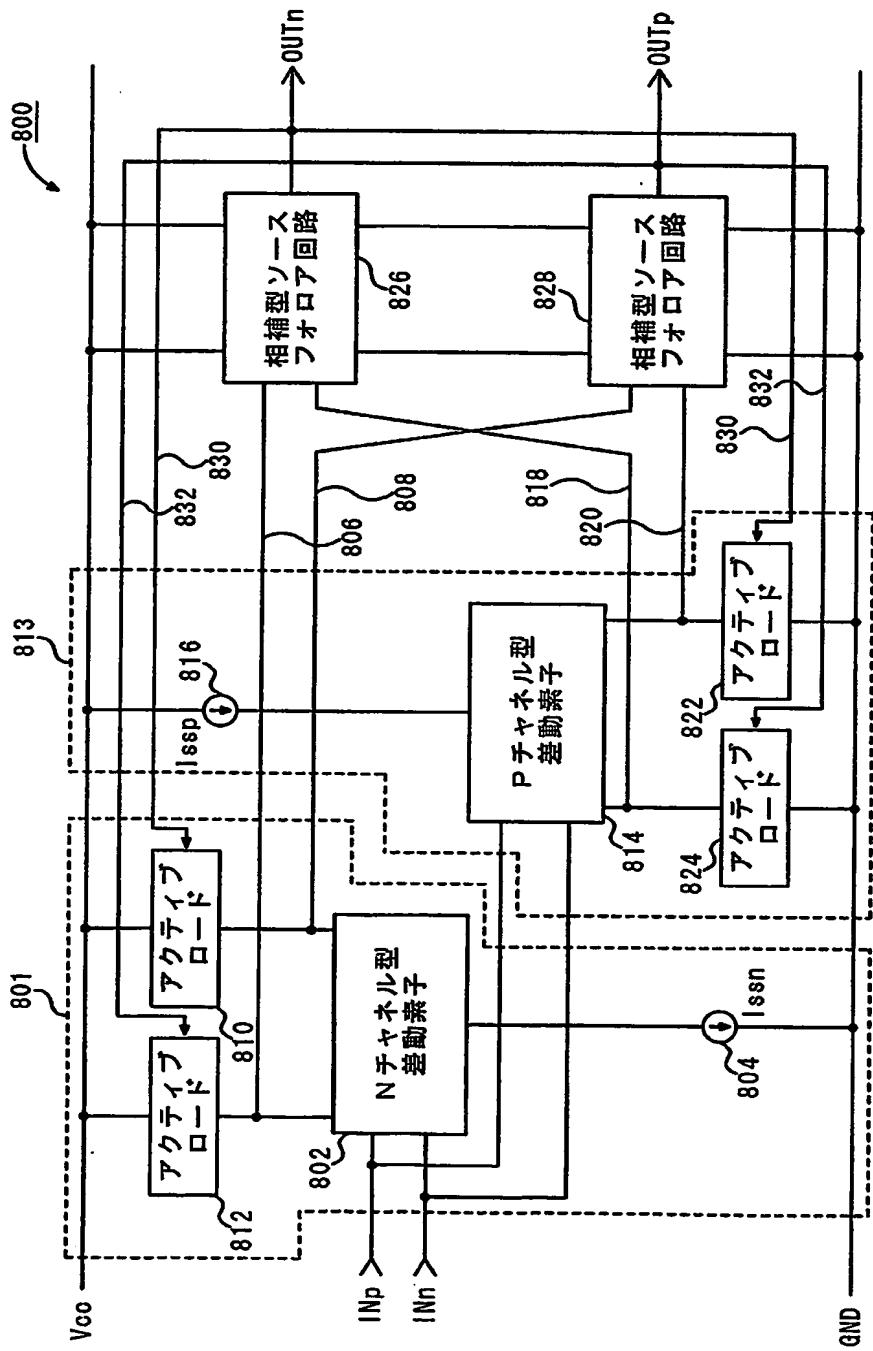
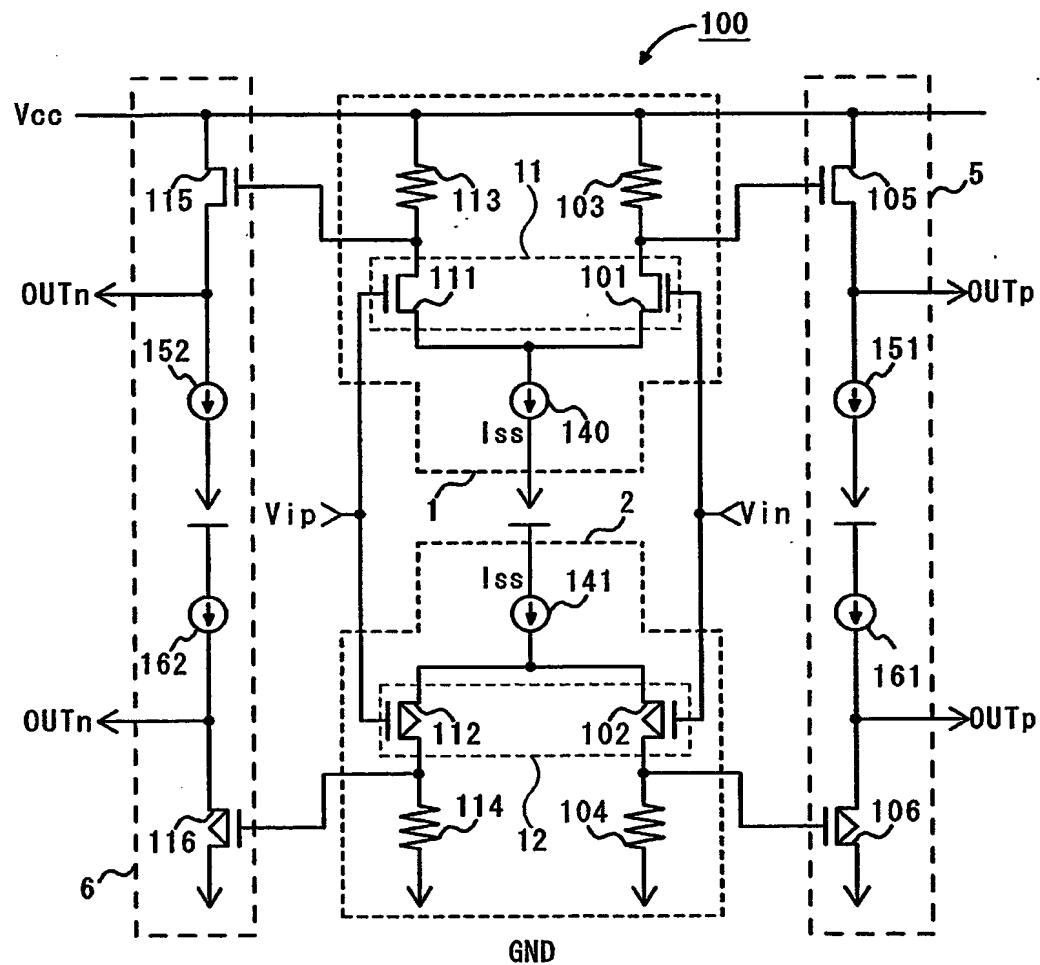
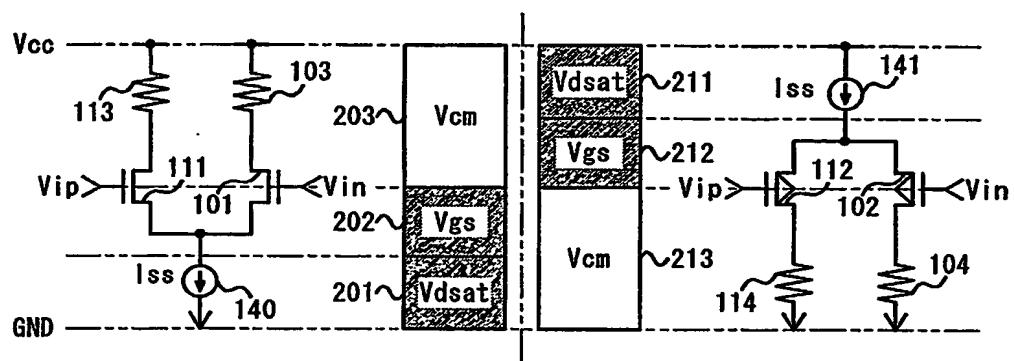


Fig. 2



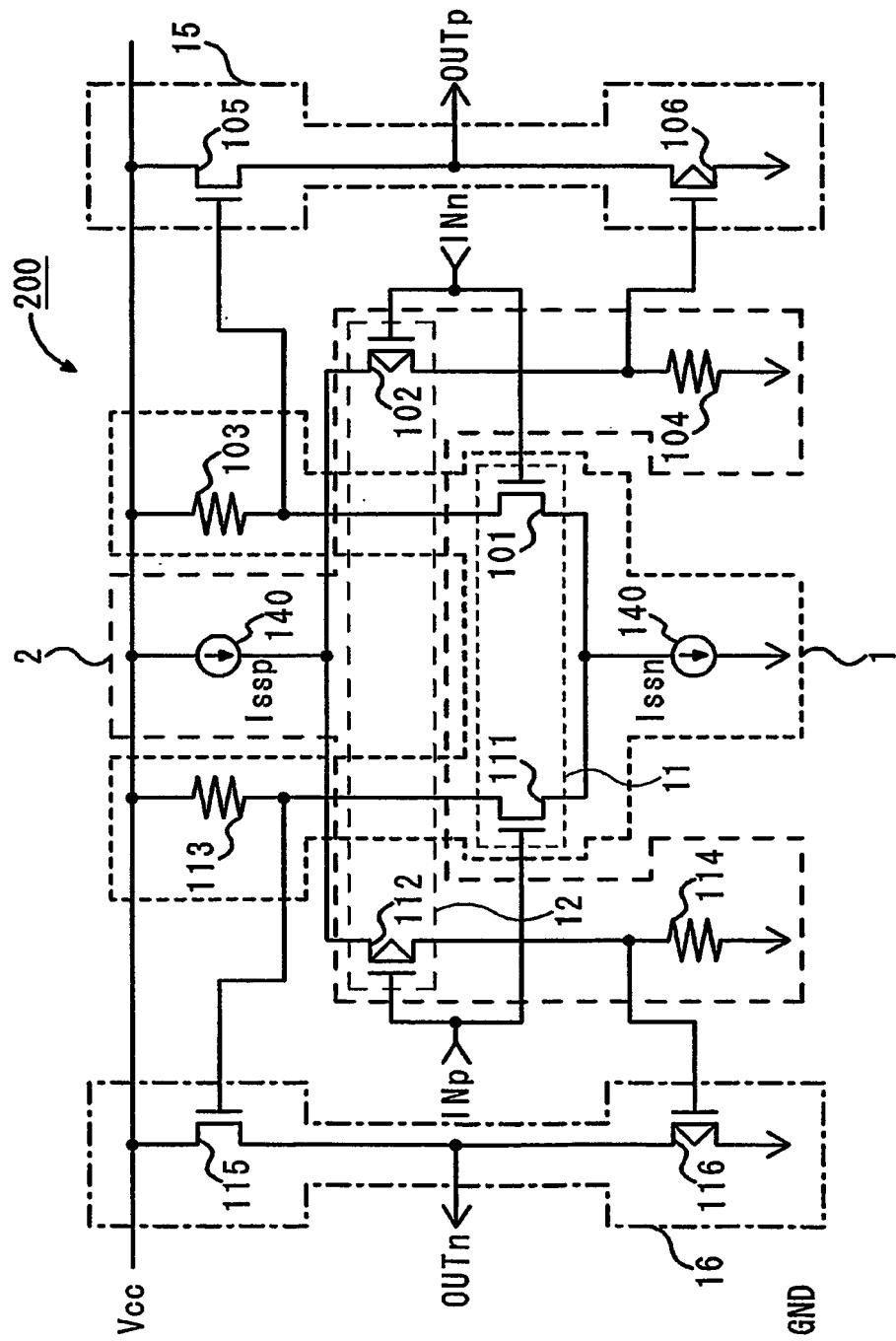
3/12

Fig. 3



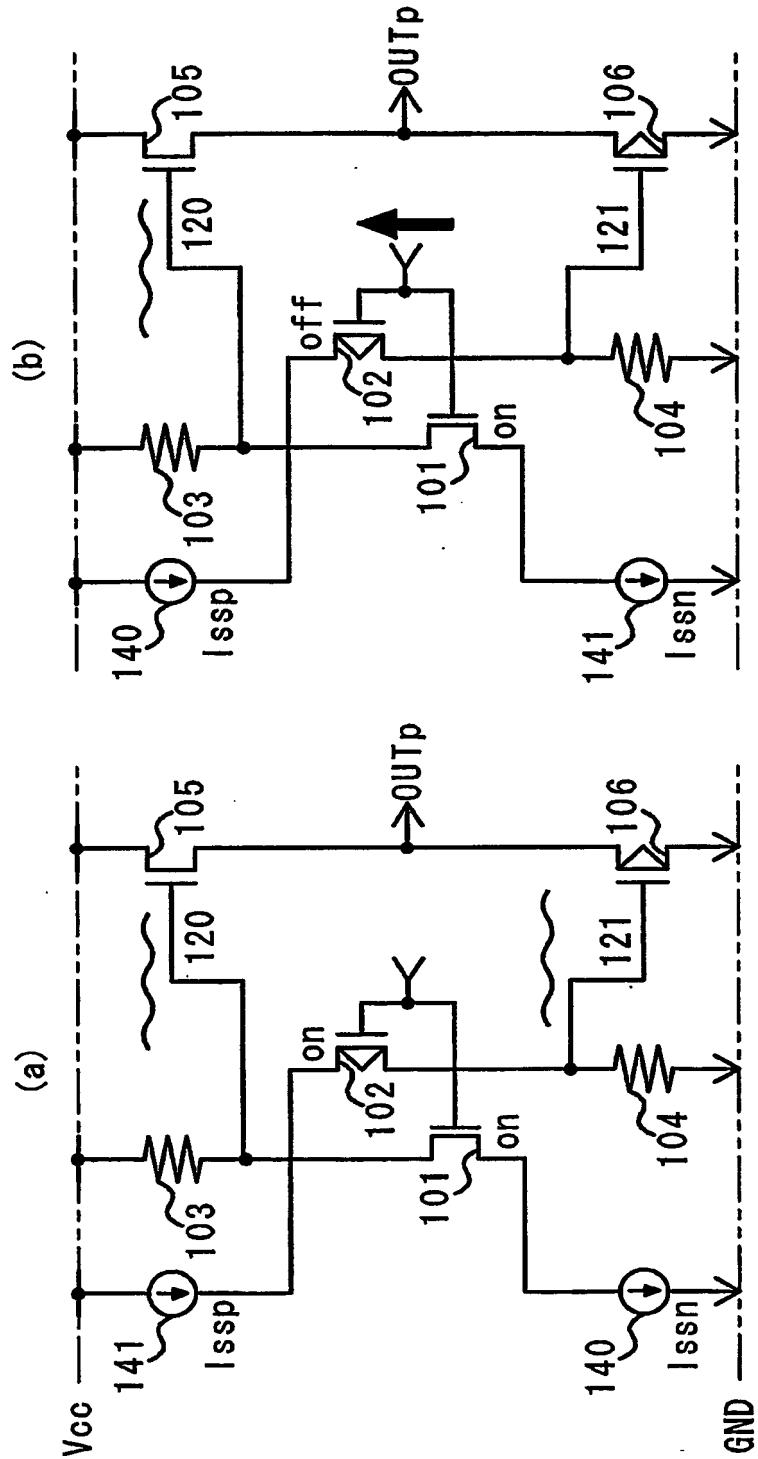
4/12

Fig. 4



5/12

Fig. 5



6/12

Fig. 6

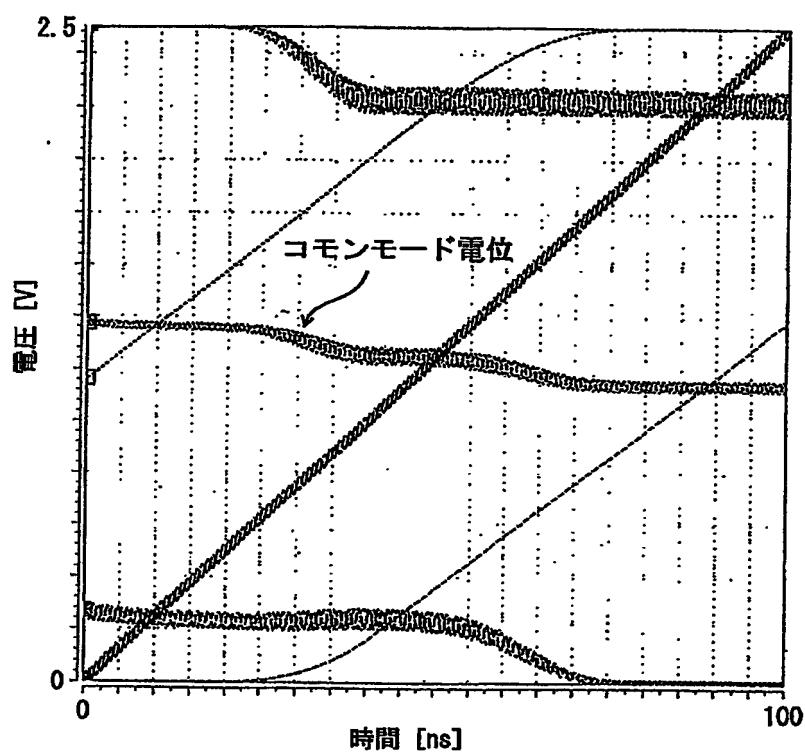
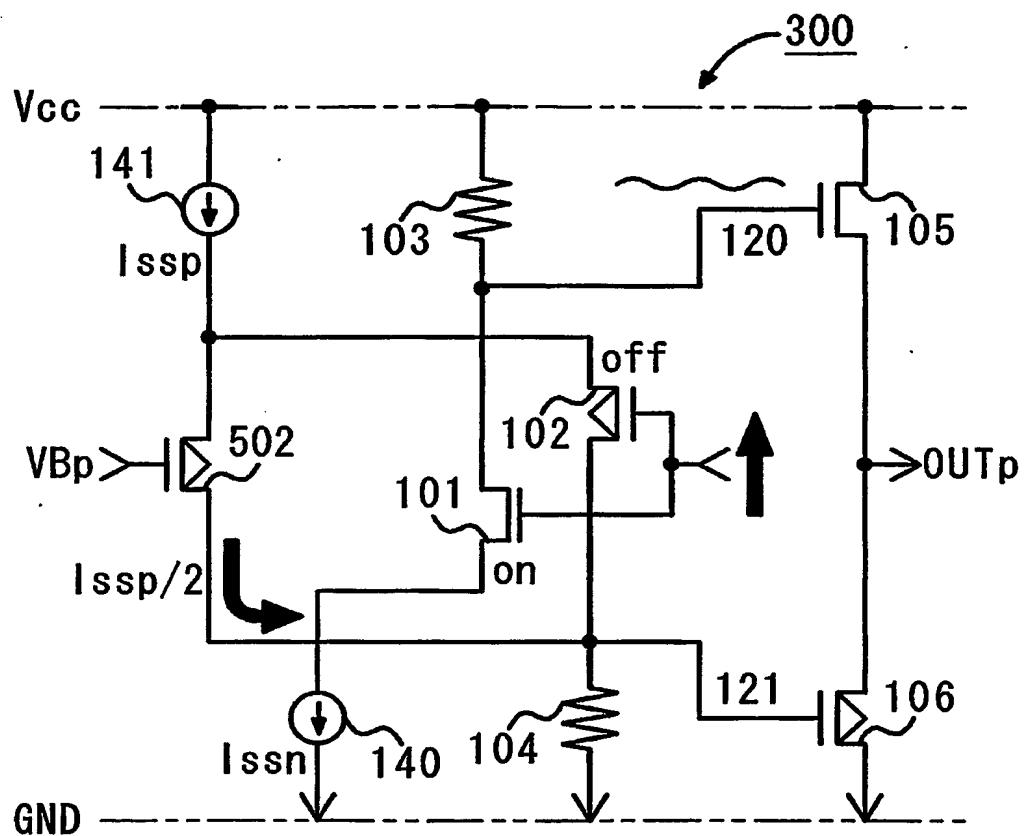


Fig. 7



8
Fig.

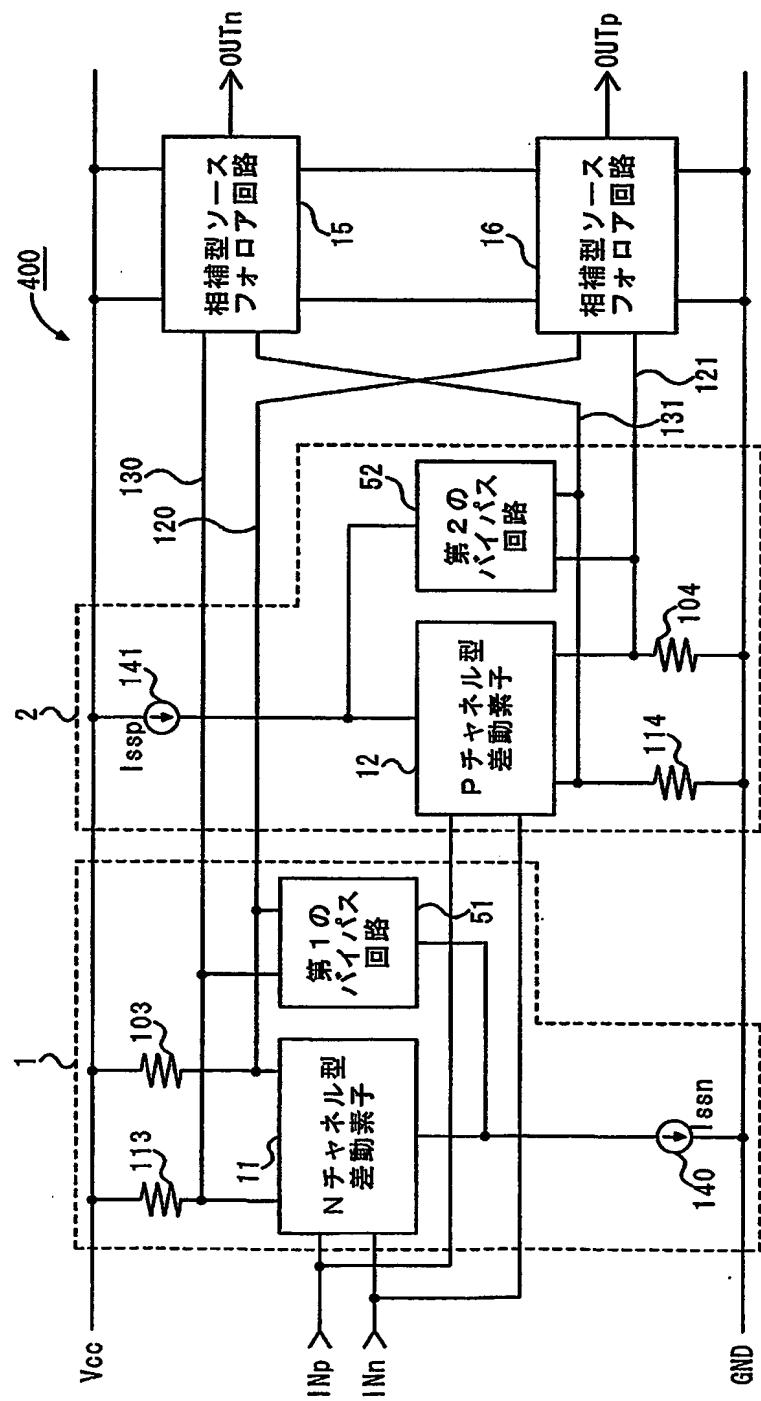
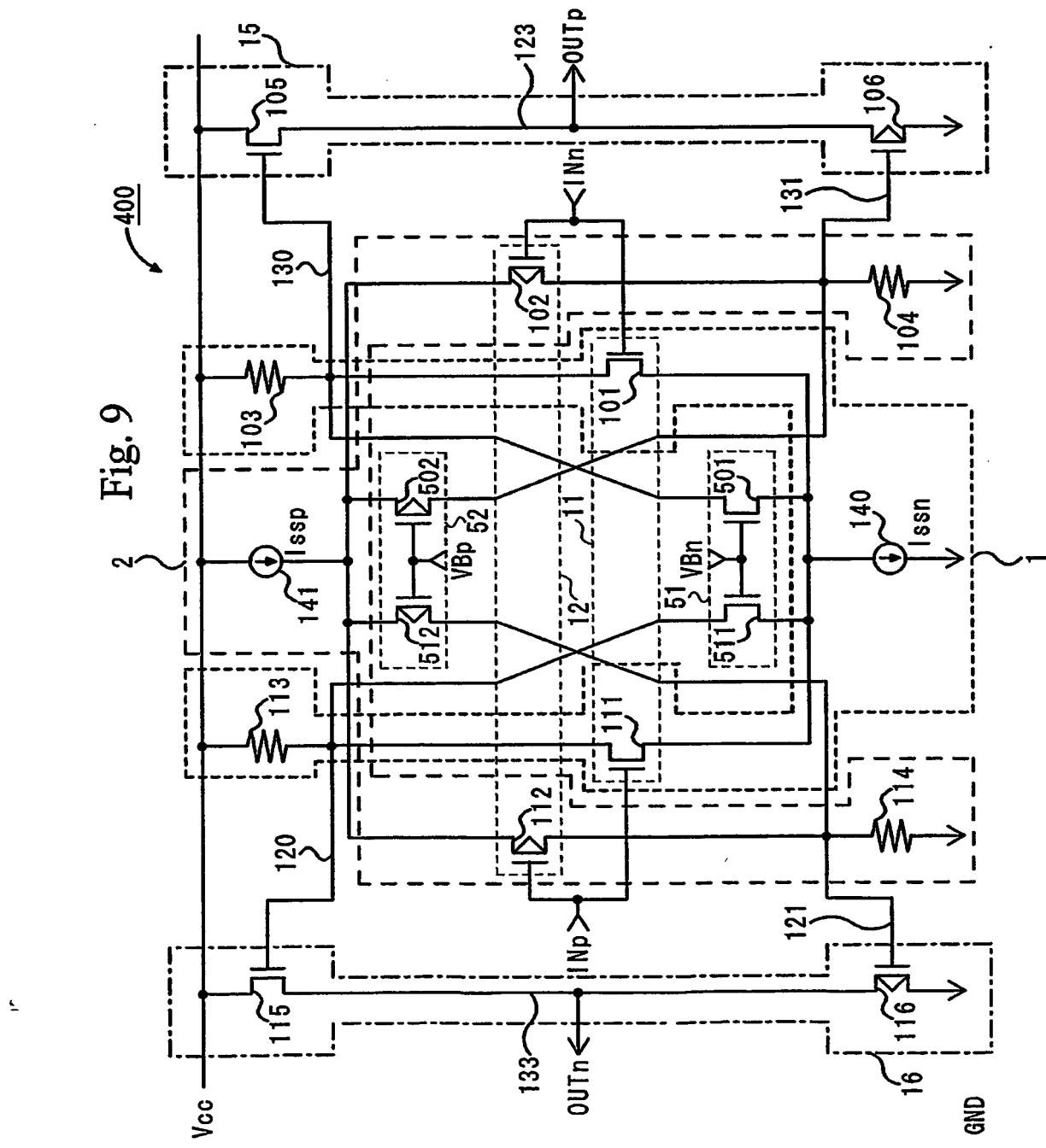
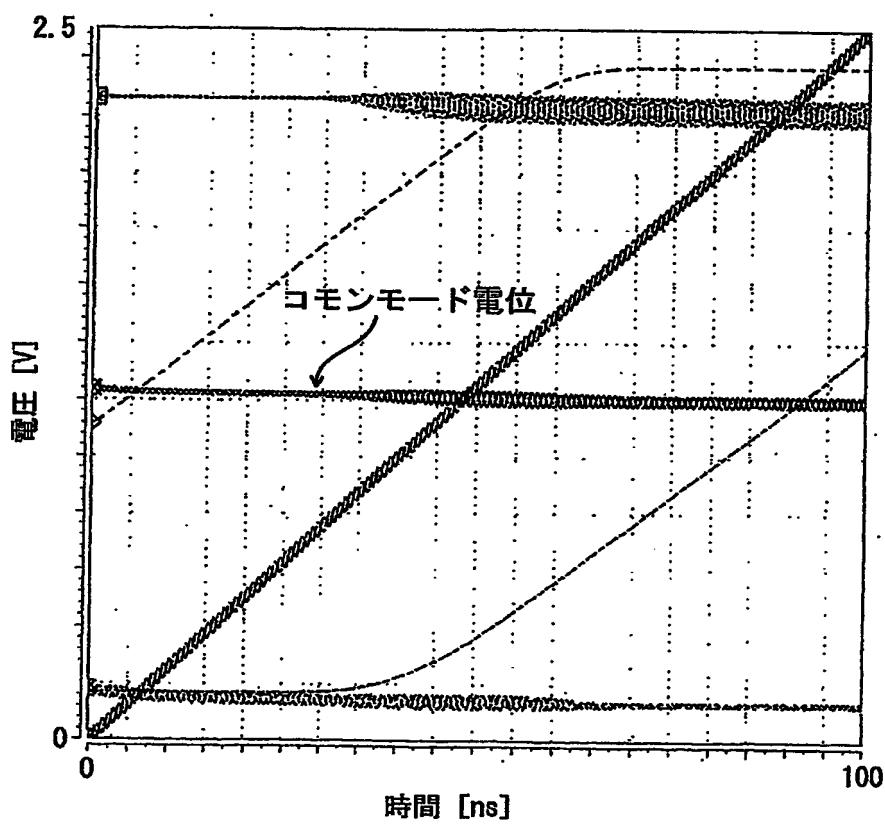


Fig. 9



10/12

Fig. 10



11/12

Fig. 11

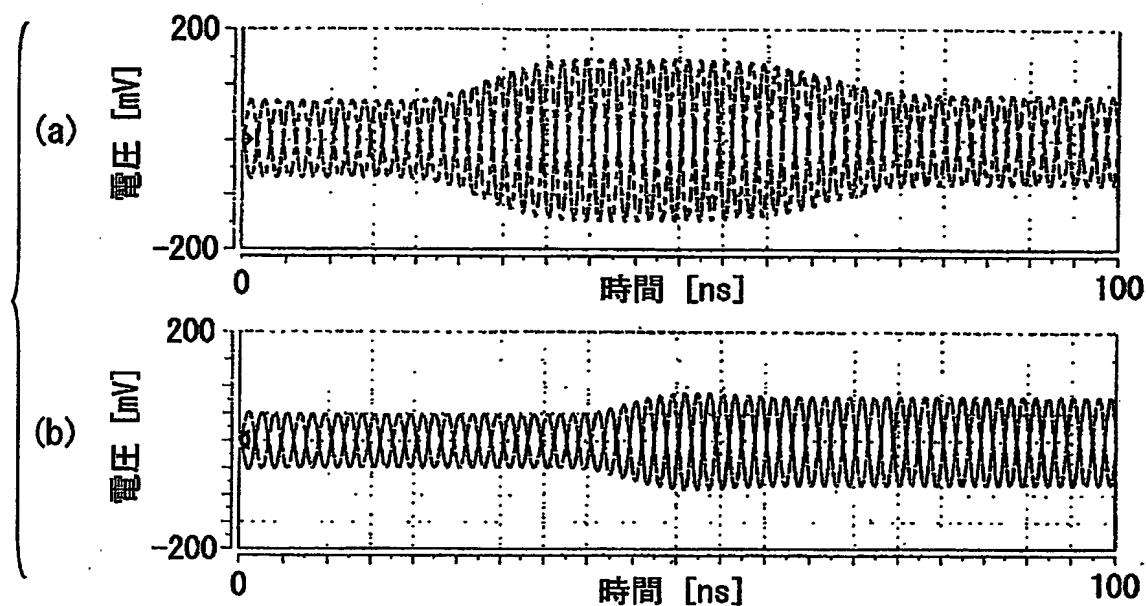
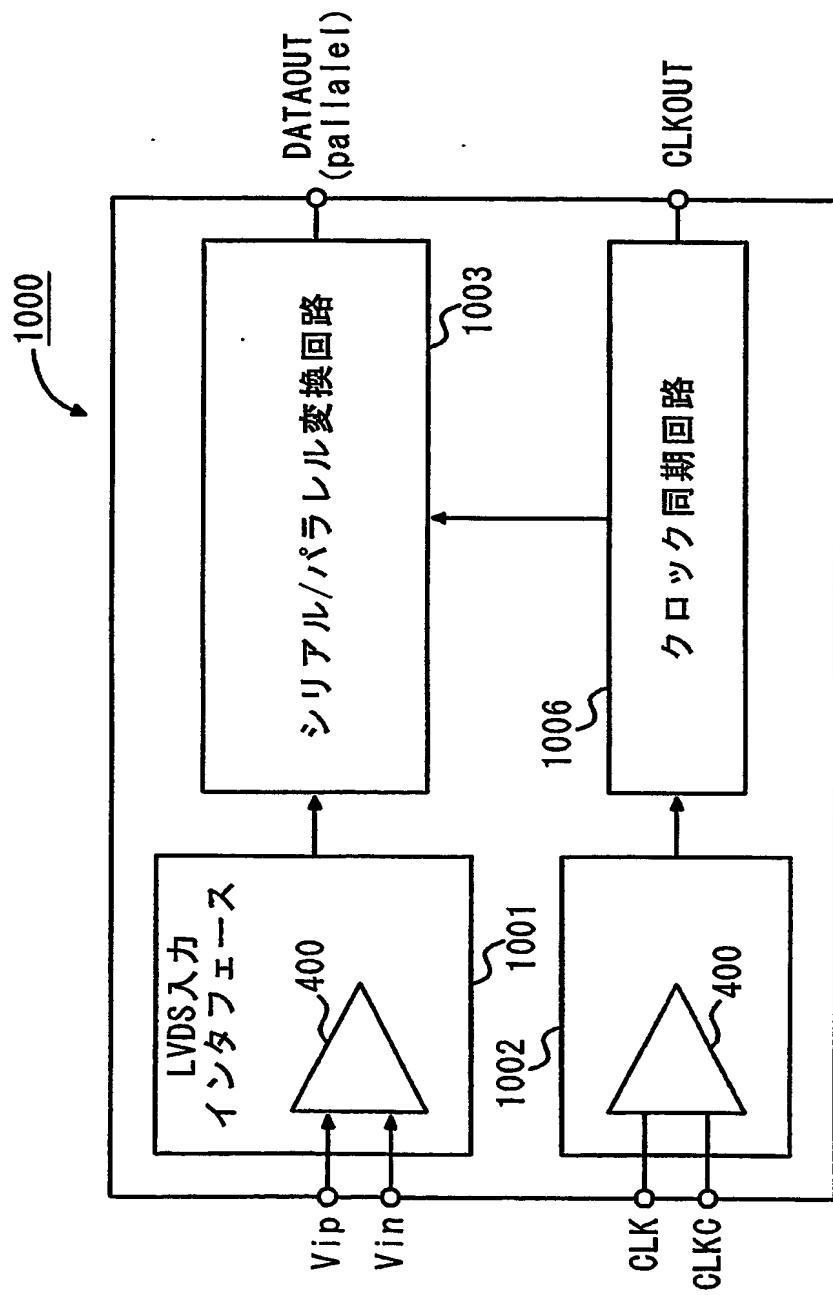


Fig. 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13942

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03F3/45

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 7-58872 B2 (Toshiba Corp.),	1
Y	21 June, 1995 (21.06.95),	6
A	Page 8, left column, line 31 to page 10, left column, line 23; Fig. 1 (a), (b) (Family: none)	2-5,7-10
Y	JP 7-193439 A (Fujitsu Ltd.),	6
A	28 July, 1995 (28.07.95), Par. Nos. [0002] to [0005], [0012] to [0023]; Figs. 1, 2, 9 (Family: none)	1-5,7-10

 Further documents are listed in the continuation of Box C. See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search
03 February, 2004 (03.02.04)Date of mailing of the international search report
17 February, 2004 (17.02.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13942

Claim 4 is an independent claim and do not fulfill the prescription of PCT Rule 6.4(C) with respect to the following point.

In claim 4, there is a passage "a differential circuit according to claim 5 or 6, characterized in that ...". Therefore, claim 4 does not refer to any of the previous claims.

(It can be considered that the above passage is a clerical error for the passage "a differential circuit according to claim 2 or 3, characterized in that ...".)

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. C1' H03F3/45

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. C1' H03F3/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 7-58872 B2 (株式会社東芝)	1
Y	1995. 06. 21, 公報第8頁左欄第31行-第10頁左欄第	6
A	23行, 第1図 (a), (b) (ファミリーなし)	2-5, 7-10
Y	JP 7-193439 A (富士通株式会社)	6
A	1995. 07. 28 公報【0002】-【0005】、【0012】-【0023】、 図1, 図2, 図9 (ファミリーなし)	1-5, 7-10

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 03. 02. 2004	国際調査報告の発送日 17. 2. 2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 畠中 博幸 5W 9180 電話番号 03-3581-1101 内線 3574

請求の範囲4は、従属請求の範囲であってPCT規則6.4(C)の規定に下記の点で違反しているものと認められる。

請求の範囲4に「・・・ことを特徴とする請求項5又は6に記載の差動回路。」と記載されているため、請求の範囲4は前の請求の範囲を引用していない。

(なお、請求項4の上記括弧書きは「・・・ことを特徴とする請求項2又は3に記載の差動回路。」の誤りかと認められる。)